

一种低功耗的混合谐振时钟分布机制

徐 毅, 陈书明

(国防科学技术大学 计算机学院, 湖南 长沙 410073)

摘 要: 提出了一种低功耗的混合谐振时钟分布机制, 通过改进的旋转行波振荡器产生和分布方波形全局时钟信号, 采用基于片上变压器的谐振电路产生局部谐振时钟信号. 在 SMIC 0.13 μm CMOS 工艺下, 对目标频率为 1.91GHz 的混合时钟网络进行了设计和仿真, 能够显著降低时钟系统功耗.

关键词: 谐振时钟; 时钟分布网络; 旋转行波振荡器; 片上变压器

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2010)10-0087-04

A Low Power Hybrid Resonant Clocking Distribution Scheme

XU Yi, CHEN Shu-ming

(School of Computer Science and Technology, National University of Defense Technology, Changsha 410073, China)

Abstract: This paper proposes a hybrid resonant clocking distribution scheme. The global square-wave clock signal is produced and distributed by an improved rotary traveling wave oscillator. And the local resonant clock signal is generated by a transformer based resonant circuit. The hybrid clocking network with target frequency of 1.91GHz is designed and analyzed through SPICE under SMIC 0.13 μm CMOS technology, which can reduced power consumption significantly in the clocking system.

Key words: resonant clock; clock distribution network; rotary traveling wave oscillator; on-chip transformer

1 引言

谐振时钟 (Resonant Clocking) 技术是近些年来发展的一种新型时钟技术, 通过片上 LC 谐振电路产生和分布时钟信号, 能够为集成电路芯片 (如微处理器) 提供高频 (吉赫兹以上)、低功耗和抖动的时钟分布网络.

根据谐振时钟信号的特点, 可将其分为行波^[1] (Traveling Wave)、驻波^[2-3] (Standing Wave) 和 LC 振荡时钟^[4] 三种类型. 行波时钟信号在不同位置处具有相同幅值和不同的相位, 驻波时钟信号在不同位置处具有不同幅值和相同的相位, 而 LC 振荡时钟信号则在任意位置都具有相同的幅值和相位. 此外, 基于 LC 谐振电路的时钟技术与现有设计流程

兼容, 能够直接应用于同步集成电路设计. 在采用无缓冲器驱动的 LC 谐振时钟网络中^[5-6], 时钟系统功耗最高可以降低 60% 以上.

针对大规模同步系统对时钟分布网络低功耗, 低偏斜和抖动的设计要求, 本文提出了一种混合结构的谐振时钟分布网络. 基于 SPICE 的仿真结果表明, 该结构能够显著降低时钟系统功耗, 并且具有低时钟偏斜和抖动的特点.

2 混合谐振时钟机制

数字同步系统的时钟分布网络可分为全局和局部时钟分布两个部分, 且不同时钟网络的设计要求存在很大差别^[7]. 在本文的混合谐振时钟网络中, 全局时钟网络使用一种改进的旋转行波振荡器产生

收稿日期: 2009-09-12; 修回日期: 2009-11-12

基金项目: 国家重点基础研究发展规划项目 (2009ZX01034-001-001-006); 国家自然科学基金项目 (60906014)

和分布方波形时钟信号,而局部时钟网络则通过基于片上变压器的无缓冲谐振电路,产生两相时钟信号,直接驱动时序单元,如图 1 所示。

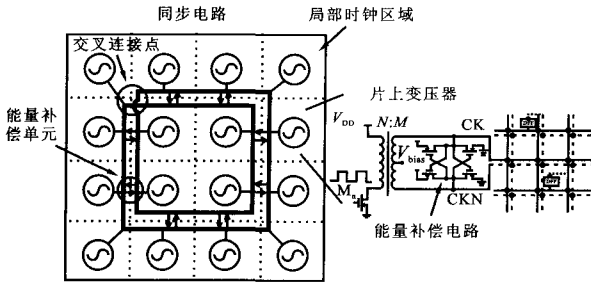


图 1 混合谐振时钟网络

在混合谐振时钟分布网络中,全局时钟信号由一种改进的行波振荡器产生和分布.整个时钟系统被划分为若干个独立的区域,各区域采用基于片上变压器的无缓冲谐振电路得到正弦波型的局部时钟信号,直接驱动时钟负载.全局行波振荡器电路为不同时钟区域提供具有相同幅值,但不同相位的控制信号.方波型全局时钟信号接入变压器初级回路的晶体管 M_n ,在电路中产生周期变化的电流信号(其频率由次级谐振电路决定).通过对局部谐振电路的 SPICE 分析发现,虽然全局行波振荡器产生的时钟信号相位不同,但是,只要保证所有局部谐振电路具有相同的 RLC 参数,那么将在不同时钟区域中产生具有相同相位,相同频率和幅值的谐振时钟信号。

3 基于旋转行波振荡器的全局时钟

旋转行波振荡器^[1](Rotary Traveling Wave Oscillator, RTWO)可看作是具有多个谐振频率的分布式负阻差分 LC 振荡器.基本的 RTWO 由两根交叉连接的片上传输线环组成,环上分布了多对能量补偿单元电路.在闭合的振荡器中,时钟信号沿着预先设计的方向传播,时钟相位均匀分布在内外两个交叉连接的环中,变化范围为 $0^\circ \sim 360^\circ$.此外,在内外环的任意相同位置处,时钟相位差为 180° 。

传统的 RTWO 采用基于互补反相器对的能量补偿单元.这种结构的缺点是,当 RTWO 中的时钟信号处于 V_{thn} 至 $V_{thp} + V_{DD}$ 之间时(V_{thn} 和 V_{thp} 分别为 N 管和 P 管的阈值电压),反相器中的 NMOS 和 PMOS 管将同时导通,造成短路功耗。

为了降低 RTWO 电路自身的功耗,本文提出一种改进的振荡器电路,使用分离的能量补偿单元结构,能够有效避免短路功耗,如图 2 所示.能量补偿单元电路由一个 NMOS 和一个 PMOS 构成互补反

馈回路,两个晶体管的栅极输入来自前级补偿单元的漏极输出.假设时钟信号的上升和下降时间非常短,那么,在任意时刻,相邻能量补偿单元总是处于不同的工作状态.在 RTWO 中,级联的晶体管具有相同的类型,因此,在振荡过程中,这些级联的晶体管不会出现电源-地之间的短路,消除了能量补偿单元内的短路功耗。

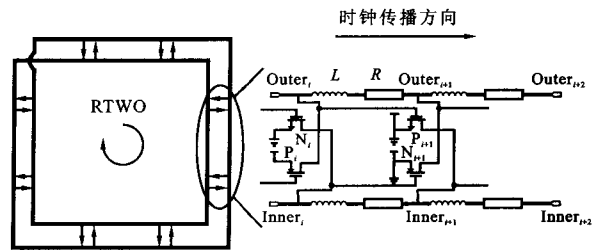


图 2 基于分离能量补偿单元的 RTWO

3.1 振荡频率

图 2 中 RTWO 的总电感 L_{total} 由片上差分传输线的几何尺寸决定,总电容 C_{total} 包括所有能量补偿单元寄生电容 C_{mos} ,各变压器初级回路晶体管负载电容 C_{load} 以及互连线电容 C_{wire} .振荡器产生的时钟信号频率为

$$f_{osc} = \frac{1}{2\sqrt{L_{total}C_{total}}} = \frac{1}{2\sqrt{L_{total}(\sum C_{mos} + C_{load} + C_{wire})}} \quad (1)$$

3.2 功耗

在基于反相器对的 RTWO 中,总功耗主要包括两部分:传输线的 P_{TL} 和振荡器电路的功耗 P_{osc} .其中 P_{TL} 占功耗的主要部分,可通过下式计算:

$$P_{TL} = \frac{V_{DD}^2}{Z_0^2} R_{loop} \quad (2)$$

式中, Z_0 为传输线的等效特征阻抗, R_{loop} 为等效寄生电阻。

振荡器电路中消耗的功耗 P_{osc} 包括短路功耗和静态功耗.如果假设时钟信号上升实际 t_{rise} 与下降时间 t_{fall} 相等,那么对于单个反相器对,短路功耗可近似为

$$P_{short} = \frac{2I_{peak}V_{DD}t_{rise}}{T} \quad (3)$$

式中, I_{peak} 为反相器的短路峰值电流(与器件尺寸相关), T 为时钟周期。

在基于分离能量补偿单元的 RTWO 中,由于级联的电路中没有同时连接 NMOS 管和 PMOS 管的信号,消除了短路路径,因此,这种结构能够有效避免振荡器电路的短路功耗.我们对具有不同设计参数的两

种 RTWO 进行了比较,根据 SPICE 结果,采用分离能量补偿单元结构的振荡器总功耗平均降低约 5.6%。

4 基于片上变压器的局部谐振时钟

局部时钟网络直接驱动同步时序单元,其功耗占时钟系统总功耗的主要部分。在各个时钟区域中,采用片上变压器结构的 RLC 谐振电路通过电荷恢复 (Charge Recovery),能够将能量在次级线圈电感和电容负载中互相转换,降低局部时钟网络的能量开销。

此外,采用变压器结构的局部谐振电路能够将 RTWO 全局时钟网络与局部时钟网络有效隔离^[3],这种结构具有以下特点:(1)保持了局部时钟网络的独立性,减弱了各时钟区域之间的影响;(2)受初级回路中全局时钟信号的影响,次级谐振回路更容易发生谐振;(3)局部谐振时钟信号直接驱动时钟负载,降低了时钟系统的功耗。

图 3 给出了局部谐振时钟网络的 RLC 等效电路,该电路实际是一个负阻 LC 振荡器并联了一个由初级线圈耦合产生的电流源。其中 G_{eff} 是能量补偿单元的等效电导,由次级回路中反相器对的晶体管尺寸决定。 C_{total} 为谐振时钟网络的总电容,包括所有触发器单元的时钟负载,次级回路能量补偿单元和线圈中的寄生电容,以及时钟网络中的寄生电容。 R_{eff} 为 RLC 谐振电路的等效串联阻抗,包括 CK 和 CKN 线网的寄生阻抗,以及次级线圈的寄生电阻。谐振回路的总电感 L_{total} 由变压器次级线圈和初/次级线圈的互感决定。

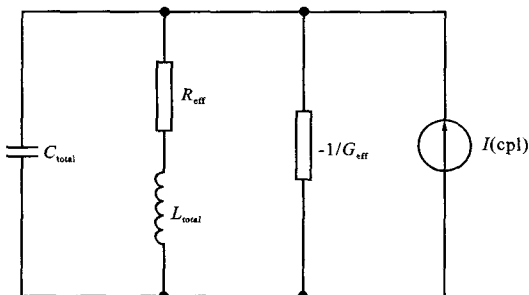


图 3 局部时钟网络等效电路

4.1 谐振频率及功耗

时钟网络中的谐振时钟频率 f_{osc} 由电路的总电感 L_{total} 和总电容 C_{total} , 以及 RLC 回路的串联等效电阻 R_{eff} 决定, 可以通过下式计算:

$$f_{\text{osc}} = \frac{\omega_{\text{osc}}}{2\pi} = \frac{1}{2\pi\sqrt{L_{\text{total}}C_{\text{total}} - \frac{R_{\text{eff}}^2}{L_{\text{total}}^2}}} \quad (4)$$

RLC 谐振回路中的品质因子为

$$Q = \frac{\omega_{\text{osc}}L_{\text{total}}}{R_{\text{eff}}} = \sqrt{\frac{L_{\text{total}}}{R_{\text{eff}}^2C_{\text{total}}}} - 1 \quad (5)$$

从式(5)可以看出,减小 R_{eff} 能够提高谐振回路 Q 值,有利于降低时钟网络的功耗。此外,由于 R_{eff} 的存在,实际的时钟信号将无法达到电源电压幅值。

谐振时钟网络中的功耗主要消耗在电容负载和线网寄生电阻中,如果 V_{swing} 是时钟信号电压的最大幅值,那么时钟系统的功耗为

$$P_{\text{CDN}} = \frac{1}{Q}\pi V_{\text{swing}}^2 f_{\text{osc}} C_{\text{total}} \quad (6)$$

将式(4)和式(5)分别带入式(6)中,可以得到

$$P_{\text{CDN}} = \frac{1}{2} V_{\text{swing}}^2 \frac{R_{\text{eff}}}{L_{\text{total}}} C_{\text{total}} \quad (7)$$

由式(7),我们可以得到降低时钟系统功耗的三种途径,分别是降低 R_{eff} , 减小 C_{total} , 以及提高 L_{total} 。由于片上变压器尺寸一旦确定,谐振电路的总电感 L_{total} 在很宽的频率范围几乎保持不变,因此,主要通过降低 R_{eff} 和减小 C_{total} 来降低局部时钟网络功耗。

4.2 片上变压器设计

局部谐振时钟网络通过片上变压器的次级回路产生振荡信号,而在初级回路中使用参考时钟信号注入耦合电流。片上变压器的关键指标是次级线圈的总电感 L_{total} , 品质因子 Q_T , 耦合系数以及面积开销。由式(7)可以看出,增大 L_{total} 有利于降低时钟系统功耗,但是 L_{total} 越大,片上电感占用的面积越大,因此,需要在有效电感值和面积开销之间进行选择。

我们使用多层金属的方形变压器结构,如图 4 所示。变压器最内侧线圈直径为 $100\mu\text{m}$, 使用 M7 和 M8 两层金属,金属厚度分别为 $0.385\mu\text{m}$ 和 $0.9\mu\text{m}$ 。线圈中金属宽度为 $10\mu\text{m}$, 同层金属间距 $2\mu\text{m}$ 。初级和次级线圈的匝数比为 3:3。变压器在 HFSS 中进行三维电磁场分析,初级和次级线圈电感分别为 1.01nH 和 1.24nH 。此外,变压器磁耦合系数为 0.814。

4.3 频率控制

在不同的时钟区域中,局部谐振电路可能工作在不同的工艺参数,电源电压以及环境温度下,因此,电路的谐振频率将受到这些因素的影响发生变化。

基于片上变压器的谐振时钟网络在正常工作时,相当于一个并联结构的 RLC 谐振电路,因此,我们使用变容管电路实现频率调制。变容管电路电容的变化范围为 $1.14\sim 5.2\text{pF}$ 。SPICE 结果表明,采用变容管调制电路的局部谐振时钟网络具有较大的频

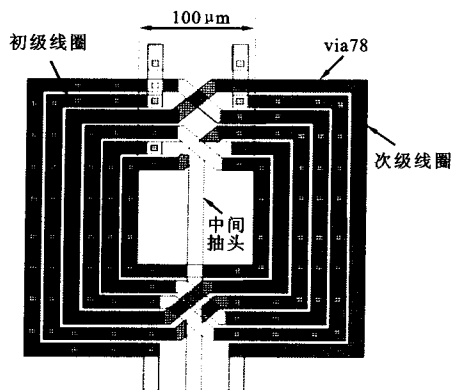


图4 片上变压器

率调制范围(1.15~1.91GHz)。

5 实验结果

为了比较,我们选择全局H树局部网络结构的时钟分布网络,并在SMIC 0.13 μm 1P8M CMOS工艺下,分别实现了基于这两种时钟技术,具有相同时钟负载的同步电路。整个同步电路包括16个时钟区域,每个区域含有 10×10 组,基于静态D型触发器的10级流水线(共1000个触发器单元)。触发器时钟端的总负载电容约为3.2pF。为了简化,流水线中的组合逻辑均使用相同的反相器链,在典型情况下,链路延迟为0.3ns。

在H树型时钟系统中,参考时钟信号由外部提供,全局时钟网络通过2级H树将参考时钟分布到16个时钟区域。在各区域的局部时钟网络中,时钟负载被连接成网络结构以降低时钟偏斜。

在混合谐振时钟系统中,全局时钟由RTWO产生和分布,振荡器含有64对能量补偿单元,每个单元中PMOS和NMOS管宽度分别为40 μm 和30 μm ,差分传输线宽度和间距均为10 μm ,并采用RLCG参数的U模型建立SPICE网表。局部谐振电路直接使用触发器单元作为时钟负载。SPICE结果表明,局部谐振回路中时钟偏斜小于5ps。

为了比较两种不同类型时钟网络的功耗,我们在相同目标频率下,使用具有不同开关活性(Switching Activity, SA)的输入数据分别对两种同步设计进行了分析。图5(a)给出了单个时钟区域中,不同结构时钟网络局部时钟功耗与输入数据SA之间的关系。在基于H树的局部时钟网络中,时钟信号经过4级缓冲器单元驱动网络结构的互连线。而在变压器谐振电路中,则使用CK和CKN信号直接驱动两相时钟控制的D型触发器单元。从结果可

以看出,与网络结构的时钟网络相比,基于变压器的局部谐振时钟网络功耗平均降低45.8%,随着SA的增加,功耗降低的幅度逐渐减小。图5(b)给出了当SA=25%时,两种时钟分布结构功耗的比较,在全局时钟分布网络中,RTWO结构比H树型结构功耗增加约2.5倍,但由于这部分功耗在总功耗中比例很小,因此,混合谐振时钟网络的总功耗仍然降低约58.3%。

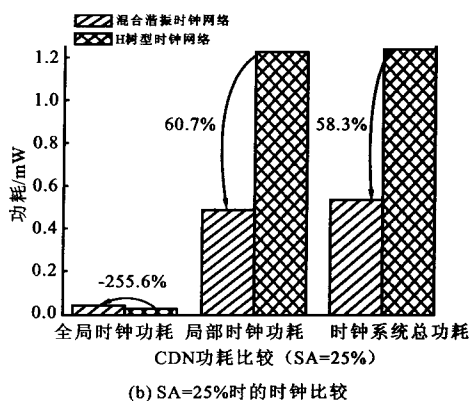
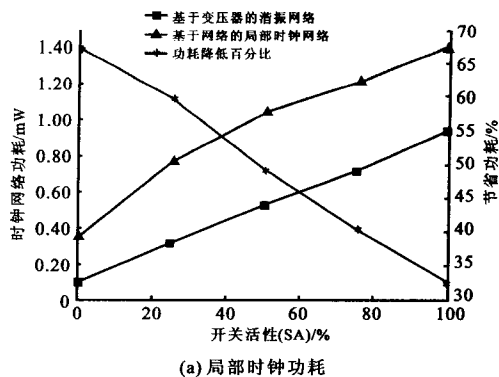


图5 两种时钟网络功耗比较

6 结束语

本文提出了一种低功耗,低偏斜的混合谐振时钟分布结构,通过一种改进的RTWO产生全局时钟信号,而在各局部时钟区域中,使用基于片上变压器的谐振电路产生谐振时钟信号,直接驱动时钟负载。SPICE结果表明,改进的RTWO能够有效避免短路功耗。与H树型结构的时钟网络相比,混合谐振时钟网络的局部时钟网络功耗和时钟系统总功耗均有较大程度的减小。此外,混合谐振时钟网络中最大局部时钟偏斜小于5ps。

未来的研究工作将主要面向降低局部谐振时钟的抖动控制电路,门控时钟设计,以及具有高品质因子的片上谐振回路设计等内容。

(下转第95页)

别对全部属性的各行的属性值覆盖一次;覆盖后因 $\cap_{10}\text{RCD}(b) = 2\ 000$ 值最大,则得二次约简集 $\{a, b\}$;由 b 再次覆盖后 $\cap_{10}\text{RCD}(d) = 0$, 而 $\cap_{10}\text{RCD}(c)$ 和 $\cap_{10}\text{RCD}(e)$ 均为 200, 值最大且相同. 所以最终得两个等价的属性约简集 $\{a, b, c\}$ 和 $\{a, b, e\}$, 与文献[7]的结论相同.

4 结束语

给出一个基于粒极值的最简规则提取的标准算法. 得出以下结论:

(1) 提出粒极值的概念, 首次将粗糙集行的分辨强度和列的组合强度相结合确定粒极值, 粒极值所在列是必选属性而其所在行必定产生一条规则且规则中必需包括该粒极值.

(2) 提出基于粒极值的粒运算, 采用分辨强度覆盖和组合强度同取且逐级递进获取新粒极值, 使所提规则的每个属性值都是粒极值, 即规则最简.

(3) 直接从粗糙集获得最简精确规则, 不涉及规则可信度^[3,5]等概率问题, 统一到一种标准算法, 完整准确地解决了粗糙集最简规则的提取和属性约简问题.

(4) 逻辑真值表是粗糙集的一个特例, 本算法适用于逻辑真值表化简问题, 尤其是多变量真值表求最简表达式的难题.

参考文献:

- [1] 钱锋. 结合模糊集理论的粗糙集属性约简算法[J]. 计算机应用研究, 2007, 24(11): 93-95.
- [2] 何群. 基于逻辑距离判定的最简规则提取算法[J]. 微电子学与计算机, 2009, 27(4): 38-42.
- [3] 卓丽霞. 粒计算规则生成模型[J]. 重庆工学院学报: 自然科学, 2008, 22(9): 149-153.
- [4] 王国胤. 粗糙集理论与应用研究综述[J]. 计算机学报, 2009, 32(7): 1229-1248.
- [5] 陈婷. 基于粒度的粗集-决策树雷达信号识别模型[J]. 微电子学与计算机, 2008, 25(12): 13-16.
- [6] 梁燕. 基于粗糙集理论和三层前馈 BP 网络的分类模型[J]. 计算机工程与科学, 2009, 31(6): 133-135.
- [7] 陈玉明. 基于幂图的属性约简搜索式算法[J]. 计算机学报, 2009, 32(8): 1486-1492.

作者简介:

何 群 男, (1955-), 高级工程师, 研究生导师. 研究方向为数据挖掘和粗糙集.

(上接第 90 页)

参考文献:

- [1] Wood J, Edwards T C, Lipa S. Rotary traveling-wave oscillator arrays: a new clock technology[J]. IEEE J. Solid-State Circuits, 2001, 36(11): 1654-1665.
- [2] O'Mahony F. A 10-GHz global clock distribution using coupled standing-wave oscillators [J]. IEEE J. Solid-State Circuits, 2003, 38(11): 1813-1820.
- [3] Sasaki M. A high-frequency clock distribution network using inductively loaded standing-wave oscillators [J]. IEEE J. Solid-State Circuits, 2009, 44(10): 2800-2807.
- [4] Chan S C, Shepard K L, Restle P J. Uniform-phase, uniform-amplitude, resonant-load global clock distributions [J]. IEEE J. Solid-State Circuits, 2005, 40(1): 102-109.
- [5] Hansson M, Mesgarzadeh B, Alvandpour A. A 1.56 GHz

on-chip resonant clocking in 130 nm CMOS[C]// Proc. IEEE Int. Custom Integrated Circuits Conf. USA: San Jose, 2006: 241-244.

- [6] Sathe V S, Kao J C, Papaefthymiou M C. Resonant-clock latch-based design[J]. IEEE J. Solid-State Circuits, 2008, 43(4): 864-873.
- [7] Restle P J. A clock distribution network for microprocessors[J]. IEEE J. Solid-State Circuits, 2001, 36(5): 792-799.

作者简介:

徐 毅 男, (1981-), 博士研究生. 研究方向为高速时钟分布技术.

陈书明 男, (1961-), 博士生导师. 研究方向为高性能微处理器设计和超深亚微米 VLSI 设计.